

AP

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

012934103 **Image available**

WPI Acc No: 2000-105950/200009

XRPX Acc No: N00-081362

Drive circuit for active matrix electroluminescent display device

Patent Assignee: KONINK PHILIPS ELECTRONICS NV (PHIG); PHILIPS AB (PHIG); US PHILIPS CORP (PHIG)

Inventor: BIRD N C; KNAPP A G

Number of Countries: 020 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
WO 9965011	A2	19991216	WO 991B1041	A	19990607	200009 B
EP 1034530	A2	20000913	EP 99922419	A	19990607	200046
			WO 991B1041	A	19990607	
US 6373454	B1	20020416	US 99329027	A	19990609	200232
JP 2002517806	W	20020618	WO 991B1041	A	19990607	200242
			JP 2000553938	A	19990607	
EP 1034530	B1	20040121	EP 99922419	A	19990607	200410
			WO 991B1041	A	19990607	

Priority Applications (No Type Date): GB 9812742 A 19980612

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

WO 9965011 A2 E 24 G09G-003/30

Designated States (National): JP

Designated States (Regional): AT BE CH CY DE DK ES FI FR GB GR IE IT LU

MC NL PT SE

EP 1034530 A2 E G09G-003/30 Based on patent WO 9965011

Designated States (Regional): DE FR GB NL

US 6373454 B1 G09G-003/30

JP 2002517806 W 25 G09G-003/30 Based on patent WO 9965011

EP 1034530 B1 E G09G-003/30 Based on patent WO 9965011

Designated States (Regional): DE FR GB NL

Abstract (Basic): WO 9965011 A2

NOVELTY - A current mirror circuit has n-channel FET (30), whose source and drain are connected to supply lines (31,34), via a display element (20). The gate of FET is connected to the supply line (31) and its drain terminal, via a capacitor (38) and a switch (32), respectively. Input line (35) is connected to the drain of FET via a control switch (37).

DETAILED DESCRIPTION - Initially the switches (32,37) are closed and load is isolated to supply input voltage to the transistor so that gate source voltage is sampled and stored in the capacitor (38). Then, the switch (33) is closed and other switches are opened so that the transistor acts as current source and supplies drive current to the display element.

USE - For active matrix electroluminescent display device.

ADVANTAGE - Allows variation in transistor characteristics over the array to the compensated and thus improves uniformity of light output from the display elements.

DESCRIPTION OF DRAWING(S) - The figure shows equivalent circuit of pixel circuit comprising display element.

Display element (20)

FET (30)

Supply line (31,34)

Switch (32,33,37)

Input line (35)

Capacitor (38)

pp; 24 DwgNo 2/5

Title Terms: DRIVE; CIRCUIT; ACTIVE; MATRIX; ELECTROLUMINESCENT; DISPLAY; DEVICE

Derwent Class: P85; T04; U12; U14

International Patent Class (Main): G09G-003/30

International Patent Class (Additional): G09F-009/30; G09F-009/33; G09G-003/20

File Segment: EPI; EngPI

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2002-517806

(P2002-517806A)

(43)公表日 平成14年6月18日(2002.6.18)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 5 C 0 8 0
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 9 4
	9/33		Z
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B

審査請求 未請求 予備審査請求 未請求(全 25 頁)

(21)出願番号 特願2000-553938(P2000-553938)
 (86)(22)出願日 平成11年6月7日(1999.6.7)
 (85)翻訳文提出日 平成12年2月14日(2000.2.14)
 (86)国際出願番号 PCT/IB99/01041
 (87)国際公開番号 WO99/65011
 (87)国際公開日 平成11年12月16日(1999.12.16)
 (31)優先権主張番号 9812742.6
 (32)優先日 平成10年6月12日(1998.6.12)
 (33)優先権主張国 イギリス (GB)
 (81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP

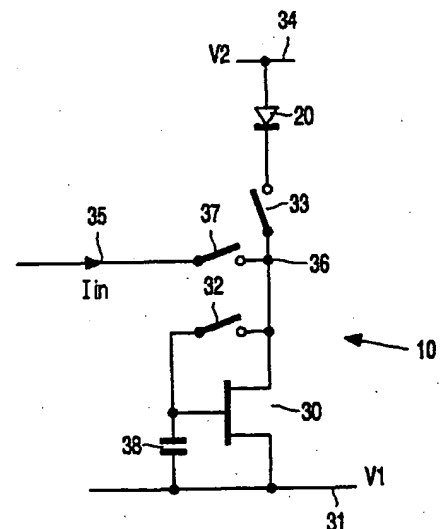
(71)出願人 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ペーアー アイन्दーフェン フルーネヴァウツウエッハ 1
 (72)発明者 アラン ヘー クナッブ
 オランダ国 5656 アーアー アイन्दーフェン プロフ ホルストラーン 6
 (72)発明者 ニール セー バード
 オランダ国 5656 アーアー アイन्दーフェン プロフ ホルストラーン 6
 (74)代理人 弁理士 杉村 暁秀 (外2名)

最終頁に続く

(54)【発明の名称】 アクティブマトリックス電界発光表示装置

(57)【要約】

アクティブマトリックス電界発光表示装置は、例えば、有機電界発光材料を具える電流駆動電界発光表示素子(20)のアレイを有し、前記表示素子の動作は、各々、関係するスイッチ手段(19)によって制御され、前記スイッチ手段には、所望の光出力を決定する駆動信号が個々のアドレス周期において供給され、前記スイッチ手段は、前記アドレス周期に続いて前期駆動信号にしたがって前記表示素子を駆動するように配置される。各々のスイッチ手段は、電流ミラー回路(30、32、38)を具え、前記電流ミラー回路において、前記表示素子(20)に関する必要な駆動電流の検知および発生の双方に同じトランジスタ(30)を使用し、前記トランジスタのゲートを、格納キャパシタンス(38)に接続し、前記格納キャパシタンスにおいて、前記駆動信号によって決定される電圧を格納する。これにより、前記アレイに渡るトランジスタ特性における変動が改善され、前記表示素子からの光出力の均一性が得られる。



【特許請求の範囲】

【請求項1】 電界発光表示素子のマトリックスアレイを具え、前記電界発光表示素子の各々が、前記表示素子を流れる電流を印可される駆動信号に従って制御する関連するスイッチ手段を有し、前記スイッチ手段が駆動トランジスタを具え、前記駆動トランジスタの第1電流搬送端子を第1給電ラインに接続し、前記駆動トランジスタの第2電流搬送端子を、前記表示素子を経て第2給電ラインに接続し、前記駆動トランジスタのゲートを、その第1電流搬送端子を経てキャパシタンスに接続した、アクティブマトリックス電界発光表示装置において、前記駆動トランジスタの第2電流搬送端子を前記駆動信号用入力端子に接続し、駆動信号の供給中に、前記キャパシタンスにおいて前記駆動信号によって決定されるゲート電圧を格納するように動作できるスイッチ装置を、前記トランジスタの第2電流搬送端子と、前記トランジスタのゲートとの間に接続したことを特徴とする、アクティブマトリックス電界発光表示装置。

【請求項2】 請求項1に記載のアクティブマトリックス電界発光表示装置において、前記表示素子を行および列に配置し、1行の表示素子に関する前記スイッチ手段のスイッチ装置を、各々共通の行アドレス導体に接続し、この行アドレス導体を経て、その行における前記スイッチ装置を動作する選択信号を供給し、各々の行アドレス導体を、選択信号を受けするように配置し、この選択信号によって、前記表示素子の行を一度に一つ順次を選択するようにしたことを特徴とするアクティブマトリックス電界発光表示装置。

【請求項3】 請求項2に記載のアクティブマトリックス電界発光表示装置において、1列における前記表示素子に関する前記駆動信号を、好適には、この列における前記表示素子に共通の個々の列アドレス導体を経て供給し、表示素子のスイッチ手段の入力端子と、その関係する列アドレス導体との間に接続され、最初に言及したスイッチ装置が閉じた場合、前記列アドレス導体における駆動信号を前記入力端子に伝送する他のスイッチ装置を設けたことを特徴とするアクティブマトリックス電界発光表示装置。

【請求項4】 請求項3に記載のアクティブマトリックス電界発光表示装置において、前記他のスイッチ装置を、前記最初に言及したスイッチ装置と同じ行アド

レス導体に接続し、前記行アドレス導体に印可された選択信号によって、このスイッチ装置と同時に動作可能にするようにしたことを特徴とするアクティブマトリックス電界発光表示装置。

【請求項5】 請求項2ないし4のいずれか1項に記載のアクティブマトリックス電界発光表示装置において、前記第1給電ラインを、同じ行または列におけるすべての表示素子によって共有させ、個々の給電ラインを表示素子の各々の行または列に設けたことを特徴とするアクティブマトリックス電界発光表示装置。

【請求項6】 請求項5に記載のアクティブマトリックス電界発光表示装置において、前記第1給電ラインを表示素子の1行に関係させ、前記第1給電ラインを表示素子の1行によって共有させ、前記第1給電ラインが、表示素子の異なった行に関係する行アドレス導体を具え、前記行アドレス導体を経て、選択信号をこの異なった行のスイッチ手段のスイッチ装置に供給するようにしたことを特徴とするアクティブマトリックス電界発光表示装置。

【請求項7】 請求の範囲1ないし6のいずれか1項に記載のアクティブマトリックス電界発光表示装置において、前記駆動トランジスタの第2電流搬送端子とゲートとの間に接続されたスイッチ装置が閉じた場合、前記表示素子を前記駆動トランジスタから絶縁するように動作可能なスイッチ装置を、前記駆動トランジスタの第2電流搬送端子と前記表示素子との間に接続したことを特徴とするアクティブマトリックス電界発光表示装置。

【請求項8】 請求の範囲1ないし6のいずれか1項に記載のアクティブマトリックス電界発光表示装置において、前記第1給電ラインを、前記表示素子を逆バイアスするような駆動信号の適用中に、パルス信号を受けるように配置したことを特徴とするアクティブマトリックス電界発光表示装置。

【請求項9】 請求の範囲1ないし8のいずれか1項に記載のアクティブマトリックス電界発光表示装置において、前記駆動トランジスタおよびスイッチ装置が、絶縁基板上に装着された薄膜トランジスタを具えることを特徴とするアクティブマトリックス電界発光表示装置。

【発明の詳細な説明】

【0001】

本発明は、電界発光表示素子のマトリックスアレイを具え、前記電界発光表示素子の各々が、前記表示素子を流れる電流を印可される駆動信号に従って制御する関連するスイッチ手段を有する、アクティブマトリックス表示装置に関する。

【0002】

電界発光表示素子を用いるマトリックス表示装置はよく知られている。前記表示素子に関しては、慣例的な I I I - V 半導体混合物を具える有機薄膜電界発光素子および発光ダイオード (LED) が使用されていた。主に、これらのような表示装置は、前記電界発光表示素子を行および列アドレスラインの交差する組間に接続し、多重的に配置した、パッシブ型のものであった。(有機) ポリマ電界発光材料における最近の発展は、特にビデオ表示目的等に使用するこれらの能力を証明してきた。これらのような材料を使用する電界発光素子は、代表的に、1 対の (アノードおよびカソード) 電極間に挟まれた半導体接合されたポリマの層を 1 つ以上具え、前記電極のうち一方は透明であり、前記電極のうち他方は、ホールまたは電子を前記ポリマ層に注入するのに好適な材料のものである。このような例は、Applied Physics Letters 58(18) 1982 - 1984 ページ (1991 年 5 月 6 日) における D. Braun および A. J. Heeger による論文において記載されている。前記接合されたポリマ鎖および側鎖の適切な選択によって、前記ポリマのバンドギャップ、電子親和力およびイオン化ポテンシャルを調節することができる。このような材料のアクティブ層を、CVD プロセスを使用して、または単に可溶性共役ポリマの溶液を使用するスピンコーティング技術によって製造することができる。これらのプロセスにより、大きい発光表面を有する LED およびディスプレイを製造することができる。

【0003】

有機電界発光材料は、これらがきわめて能率的であり、比較的低い (DC) 駆動電圧を必要とするという利点がある。さらに、慣例的な LCD と相違して、バックライトが必要ない。簡単なマトリックス表示装置において、前記材料を、行および列アドレス導体の組間に設け、前記導体の交点において、これらによって

電界発光表示素子の行および列アレイを形成する。前記有機電界発光表示素子のダイオード様 I-V 特性によって、各々の素子は、多重化駆動動作を実現する表示およびスイッチ機能の双方を行うことができる。しかしながら、この簡単なマトリックス装置を、慣例的な一度に1行の走査を基礎として駆動する場合、各々の表示素子は、全体のフィールド時間のうち行アドレス周期に対応する短い間에만駆動され、発光する。例えば、N行を有するアレイの場合において、各々の表示素子は、 f をフィールド周期として、最大 f/N に等しい周期発光することができる。このとき、このディスプレイから所望の平均輝度を得るために、各々の素子によって発生されるピーク輝度を前記必要な平均輝度の少なくともN倍にしなければならず、ピーク表示素子電流を平均電流の少なくともN倍にする必要がある。結果として生じる高いピーク電流は、特に、前記表示素子の寿命のより急激な劣化と、前記行アドレス導体に沿って生じる電圧低下による問題を生じる。

【0004】

これらの問題に対する一つの解決法は、前記表示素子をアクティブマトリックスに收容し、それによって、各々の表示素子が関連するスイッチ手段を有し、このスイッチ手段が、その光出力を前記行アドレス周期よりわずかに長い周期の間保持するために、駆動電流を前記表示素子に供給するように動作できるようにすることである。このようにして、例えば、各々の表示素子回路に、アナログ（表示データ）駆動信号を、各々の行アドレス周期においてフィールド周期あたり一回ロードし、この駆動信号は格納され、関係している表示素子の行が次にアドレスされるまで、1フィールド周期の間、前記表示素子を通る必要な駆動電流を保持するように作用する。これは、各々の表示素子によって必要な前記ピーク輝度およびピーク電流を、N行を有するディスプレイに関して、約Nの因数によって減少させる。このようなアクティブマトリックスアドレス電界発光表示装置は、欧州特許出願公開明細書第0717446号に記載されている。電界発光表示素子は、光を発生させるために連続的に電流を通過させる必要があるが、LC表示素子は容量性であり、したがって、実質的に電流を受けず、駆動信号電圧をキャパシタンスに全フィールド周期中格納させるため、LCDに使用されている慣

例的な種類のアクティブマトリックス回路を、電界発光表示素子と共に使用することはできない。上述した文献において、おのおの2個のTFT（薄膜トランジスタ）および1個の格納キャパシタを具える。前記表示素子のアノードを第2TFTのドレインに接続し、第1TFTを前記第2TFTのゲートに接続し、前記第2TFTのゲートを前記キャパシタの一方の側にも接続する。行アドレス周期中、前記第1TFTは、行選択（ゲート）信号によってターンオンし、駆動（データ）信号が、このTFTを経て前記キャパシタに転送される。前記選択信号の除去後、前記第1TFTはターンオフし、前記第2TFTに関するゲート電圧を構成する前記キャパシタに格納された電圧は、電流を前記表示素子に伝達するように配置された前記第2TFTの動作の原因となる。前記第1TFTのゲートを、同じ行におけるすべての表示素子に共通のゲートライン（行導体）に接続し、前記第1TFTのソースを、同じ列におけるすべての表示素子に共通のソースライン（列導体）に接続する。前記第2TFTのドレインおよびソース電極を、前記表示素子のアノードおよび接地ラインに接続し、前記接地ラインは、前記ソースラインと並列に延在し、同じ列におけるすべての表示素子に共通である。前記キャパシタの他方の側もこの接地ラインに接続する。前記アクティブマトリックス構造を、適切な、例えばガラスの、透明絶縁支持体上に、AMLCDの製造において使用されるのと同様の薄膜堆積およびプロセス技術を使用して製造する。

【0005】

この配置によって、前記発光ダイオード表示素子に関する駆動電流は、前記第2TFTのゲートに供給される電流によって決定される。したがってこの電流は、このTFTの特性に強く依存する。前記TFTのしきい値電圧、移動度および寸法における変化は、前記表示素子電流と、したがってその光出力とにおいて、望ましくない変化を生じるであろう。例えば製造プロセスによる、前記アレイの領域に渡っての、または、異なったアレイ間の、表示素子に関する前記第2TFTにおけるこれらの変化は、前記表示素子からの光出力の不均一を招く。

【0006】

本発明の目的は、改善されたアクティブマトリックス電界発光表示装置を提供することである。

【0007】

本発明の他の目的は、前記表示素子の光出力における、トランジスタ特性における変化の影響を低減し、したがって、前記表示の不均一を改善する、アクティブマトリックス電界発光表示装置用表示素子回路を提供することである。

【0008】

この目的は、本発明において、同じトランジスタを前記表示素子に必要な駆動電流の感知およびその後の発生の両方に使用する前記スイッチ手段用電流ミラー回路を使用することによって達成される。これは、トランジスタ特性におけるすべての変化を補償させる。

【0009】

本発明によれば、前記スイッチ手段が駆動トランジスタを具え、前記駆動トランジスタの第1電流搬送端子を第1給電ラインに接続し、前記駆動トランジスタの第2電流搬送端子を、前記表示素子を経て第2給電ラインに接続し、前記駆動トランジスタのゲートを、その第1電流搬送端子を経てキャパシタンスに接続した、序章において記載した種類のアクティブマトリックス電界発光表示装置において、前記駆動トランジスタの第2電流搬送端子を前記駆動信号用入力端子に接続し、駆動信号の供給中に、前記キャパシタンスにおいて前記駆動信号によって決定されるゲート電圧を格納するように動作できるスイッチ装置を、前記トランジスタの第2電流搬送端子と、前記トランジスタのゲートとの間に接続したことを特徴とする、アクティブマトリックス電界発光表示装置が提供される。

【0010】

前記スイッチ手段の配置を、前記同じトランジスタが電流供給および電流出力機能を行う単一トランジスタ電流ミラー回路のように効率的に動作するような配置とする。前記スイッチ装置が閉じた場合、前記トランジスタはダイオード接続され、前記入力装置信号は、前記トランジスタを流れる電流と、前記キャパシタンスにおいて格納される結果としてのゲート電圧とを決定する。前記スイッチ装置が開いた後、前記トランジスタは、前記表示素子の電流源として働き、前記ゲート電圧は、前記表示素子を流れる電流と、したがってその輝度とを決定し、そのレベルは、その後、設定値にしたがって、例えば、前記表示素子が次に

アドレスされるまで保持される。このように、第1動作段階、実際には表示素子アドレス周期において、入力電流は標本化され、前記トランジスタゲート電圧がそれに応じて設定され、その後の出力段階において、前記トランジスタは動作し、前記標本化された電流に対応する前記表示素子を流れる電流を吸い込む。この配置において、前記同じトランジスタを、標本化段階中の前記入力電流の標本化と、前記出力段階中の前記表示素子用駆動電流の発生との両方に使用するため、前記表示素子電流は、前記トランジスタのしきい値電圧、移動度または正確な寸法に依存しない。前記アレイに渡る表示素子からの光出力の不均一の上述した問題は、したがって回避される。

【0011】

好適には、前記表示素子を行および列に配置し、1行の表示素子に関する前記スイッチ手段のスイッチ装置を、各々共通の行アドレス導体に接続し、この行アドレス導体を経て、その行における前記スイッチ装置を動作する選択（走査）信号を供給し、各々の行アドレス導体を、選択信号を受けるように配置し、この選択信号によって、前記表示素子の行を一度に一つ順次に選択する。1列における前記表示素子に関する前記駆動信号（表示データ）を、好適には、この列における前記表示素子に共通の個々の列アドレス導体を経て供給し、表示素子のスイッチ手段の入力端子と、その関係する列アドレス導体との間に接続され、最初に言及したスイッチ装置が閉じた場合、前記列アドレス導体における駆動信号を前記入力端子に伝送する他のスイッチ装置を設ける。この目的のため、前記他のスイッチ装置を、好適には、前記最初に言及したスイッチ装置と同じ行アドレス導体に接続し、前記行アドレス導体に印可された選択信号によって、このスイッチ装置と同時に動作可能にする。前記表示素子がアドレスされていない間、すなわち、前記出力段階において、この他のスイッチ装置は、前記入力端子を前記列アドレス導体から絶縁させる。

【0012】

好適には、前記第1給電ラインを、同じ行または列におけるすべての表示素子によって共有させる。個々の給電ラインを、表示素子の各々の行または列に設けてもよい。代わりに、給電ラインを、例えば、列または行方向に延在し、末端に

において一緒に接続されたラインを使用するか、列および行の双方の方向において延在し、グリッドの形状において一緒に接続されたラインを使用して、前記アレイにおけるすべての表示素子によって有効に共有させることができる。選択されたアプローチは、所定の設計および製造プロセスに関する技術的詳細に依存する。

【 0 0 1 3 】

簡単にするため、表示素子の行に関係し、共有される第1給電ラインは、表示素子の異なった、好適には隣接する行に関係する行アドレス導体を具え、この行アドレス導体を経て、選択信号をこの異なった行のスイッチ手段のスイッチ装置に供給してもよい。

【 0 0 1 4 】

前記スイッチ装置は、好適には、トランジスタを具え、すべてのトランジスタを、ガラスまたは他の絶縁材料の基板上にTFTとして、前記アドレス導体と一緒に、アクティブマトリックス表示装置および他の大面積電子装置の分野において使用されるような標準的な薄膜堆積およびパターンニングプロセスを使用して便利に形成してもよい。しかしながら、前記装置のアクティブマトリックス回路網を、半導体基板と共にIC技術を使用して製造してもよいことが予測される。

【 0 0 1 5 】

前記標本化段階中に前記表示素子を通して電流が流れるのを防ぐために、前記標本化段階中に前記表示素子を前記駆動トランジスタから絶縁させるさらに他のスイッチ装置を、前記駆動トランジスタの第2電流搬送端子と、前記表示素子との間に接続してもよい。このスイッチ装置は、同様に、しかし前記他のスイッチ装置を構成するトランジスタと逆の導電型のトランジスタを具えてもよく、前記同じ行アドレス導体に接続されたそのゲートによって、相補的に動作するようにしてもよい。したがって、前記最初に言及したトランジスタおよび他のトランジスタは、nチャネル装置を具えるが、このトランジスタは、pチャネル装置を具えてもよい。もちろん、前記表示素子の極性と、前記行アドレス導体に印可される波形の極性とを反転させることによって、上述したトランジスタ形式を逆にすることができる。

【 0 0 1 6 】

このような相補的に動作するスイッチ装置の必要性を回避することができる。
好適な実施形態において、前記表示素子を逆バイアスする前記標準化段階中、パルス信号を前記第1給電ラインと、したがって、前記駆動トランジスタの前記第1電流搬送電極とに印可するように配置し、それによって、前記表示素子を通じて電流が流れるのを防止し、前記駆動トランジスタを流れるドレイン電流が前記入力信号電流に対応することを保証し、適切なゲートソース電圧が前記キャパシタンスにおいて標準化されることを保証する。表示素子の隣接する行に関係する行アドレス導体を具える前記第1給電ラインの場合において、このパルスを、その行アドレス導体における前記選択信号に対して別々に、関係する前記表示素子に関係する前記行アドレス導体における前記選択信号と時間において一致して与える。必要な前記パルスの振幅は、前記選択信号の振幅より小さい。必要なトランジスタの総数を減少させるほかに、前記駆動トランジスタの第2電流供給端子と、前記表示素子との間に接続されたスイッチトランジスタがないことは、このとき必要なトランジスタがすべて同じ極性形式のものになるため、製造が簡単になる。

【 0 0 1 7 】

本発明によるアクティブマトリックス電界発光表示装置の実施形態を、添付した図面の参照と共に、例として説明する。

【 0 0 1 8 】

前記図面は、単に図式的なものであり、一定の比率で描かれていない。同じ参照符を、前記図面を通じて、同じまたは同様の部分を示すために使用した。

【 0 0 1 9 】

図1を参照すると、アクティブマトリックスアドレス電界発光表示装置は、ブロック10によって示す、一定の間隔を置いたがその行および列マトリックスアレイを有し、行（選択）および列（データ）アドレス導体またはラインの交差する組12および14間の交点に配置された電界発光表示素子に関連するスイッチ手段と共に具えるパネルを有する。この図において、簡単にするために数個の画素のみを具える。実際には、数百の画素の行および列があってもよい。画素10

を、前記行および列アドレス導体を経て、前記導体の個々の組の末端に接続された行走駆動回路16および列データ駆動回路18を具える周辺駆動回路によってアドレスする。

【0020】

図2は、前記アレイにおける代表的な画素ブロック10の回路を単純化した図式的形態において示し、その動作の基本的な方法を示すことを目的とする。図2の画素回路の実際の実装を、図3に示す。20において参照される前記電界発光表示素子は、ここではダイオード素子(LED)として表され、有機電界発光材料の1つ以上の層を間に挟んだ1対の電極を具える有機発光ダイオードを具える。前記アレイの表示素子を、関係するアクティブマトリックス回路網と共に、絶縁支持物の一方の側に装着する。前記表示素子のカソードまたはアノードを、透明導電材料によって形成する。前記支持物の他方の側における見る人に見えるようにするために、前記支持物をガラスのような透明材料とし、前記基板に最も近い表示素子20の電極をITOのような透明導電材料によって構成し、前記電界発光層によって発生された光がこれらの電極および支持物を透過するようにしてもよい。しかしながら、この特定の実施形態において、前記光出力は、前記パネル上から見られることを目的とし、電源に接続され、前記アレイにおけるすべての表示素子に共通の第2給電ラインを構成する連続的なITO層22の部分を含む。前記表示素子のカソードは、カルシウムまたはマグネシウム銀合金のような低い仕事関数を有する金属を具える。代表的に、前記有機電界発光材料層の厚さを、100nmないし200nmの間とする。素子20に使用することができる好適な有機電界発光材料の代表的な例は、欧州特許出願公開明細書第0717446号に記載されており、その参照は他の情報をもたらし、これに関するその開示はここに含まれる。WO96/36959に記載の複合ポリマのような電界発光材料を使用することもできる。

【0021】

各々の表示素子20は、該表示素子に隣接する行および列導体12および14に接続された関係するスイッチ手段を有し、このスイッチ手段を、該表示素子を、該素子の駆動電流と、したがって光出力(グレイスケール)とを決定する印可

されたアナログ駆動（データ）信号レベルにしたがって動作させるように配置する。前記表示データ信号を、電流源として作動する列駆動回路18によって供給する。適切に処理されたビデオ信号をこの回路に供給し、この回路は、前記ビデオ信号を標本化し、ビデオ情報に関係するデータ信号を構成する電流を、前記列導体の各々に、前記アレイのアドレス時において行に適切のように、前記列駆動回路の動作と前記行駆動回路の走査とを同期させて供給する。

【0022】

図2を参照すると、前記スイッチ手段は、駆動トランジスタ30、さらに特にnチャネルFETを具え、このトランジスタの第1電流搬送（ソース）端子を給電ライン31に接続し、このトランジスタの第2電流搬送（ドレイン）端子を、スイッチ33を経て表示素子20のカソードに接続する。前記表示素子のアノードを第2給電ライン34に接続し、この第2給電ラインを、実際には、固定された基準電位に保持された前記連続的電極層によって構成する。トランジスタ30のゲートを給電ライン31と、したがって前記ソース電極とに、格納キャパシタンス38を経て接続し、この格納キャパシタンスを、別個に形成したキャパシタンスとしてもよく、または、前記トランジスタの内在するゲート-ソースキャパシタンスとしてもよい。トランジスタ30のゲートを、スイッチ32を経てそのドレイン端子にも接続する。

【0023】

前記トランジスタ回路は、単一トランジスタ電流ミラーのように動作し、同じトランジスタが、電流供給および電流出力機能の双方を行い、表示素子20が負荷として作動する。この電流ミラー回路への入力を、入力ライン35によって供給し、この入力ラインは、入力端子を構成するスイッチ32および33間のノード36に、他のスイッチ37を経て接続し、スイッチ37は、入力信号の前記ノードへの供給を制御する。

【0024】

前記回路の動作は、2段階において行われる。時間においてアドレス周期に対応する最初の標本化段階において、前記表示素子からの必要な出力を決定する入力信号を前記回路に供給し、トランジスタ30における結果として生じるゲート

ーソース電圧を標本化し、キャパシタンス38に格納する。次の出力段階において、トランジスタ30は、前記入力信号によって決定されるような前記必要な出力を前記表示素子から発生するために、前記格納された電圧のレベルにしたがって電流を表示素子20に流すように動作し、前記出力を、例えば、前記表示素子とその後の新たな標本化段階において次にアドレスされるまで保持する。双方の段階中に、給電ライン31および34を、適切な予め設定された電位レベルV1およびV2におけるとする。給電ライン31を、通常は、接地電位(V1)とし、給電ライン34を正電位(V2)とする。

【0025】

前記標本化段階中、スイッチ32および37を閉じ、これはトランジスタ30をダイオード接続し、スイッチ33を開き、これは前記表示素子負荷を絶縁する。前記必要な表示素子電流に対応し、ここでは I_{in} として示す入力信号を、トランジスタ30を通じて、外部ソース、例えば、図1における列駆動回路18から、入力ライン35、閉じたスイッチ37および入力端子36を経て駆動する。トランジスタ30が閉じたスイッチ32によってダイオード接続されるため、定常状態におけるキャパシタンス38の両端間の電圧は、トランジスタ30のチャネルを流れる電流 I_{in} を駆動するのに必要なゲートソース電圧になる。この電流を安定させるのに十分な時間を与えてから、前記標本化段階を、スイッチ32および37を開いて、入力端子36を入力ライン35から絶縁すると共にキャパシタンス38を絶縁し、その結果、入力信号 I_{in} にしたがって決定されるゲートソース電圧をキャパシタンス38に格納することに応じて終了する。次に、前記出力段階を、スイッチ33を閉じ、前記表示素子のカソードをトランジスタ30のドレインに接続することに応じて開始する。次に、トランジスタ30は、電流源として動作し、 I_{in} にほぼ等しい電流が、表示素子20を流れる。スイッチ32がターンオフし、キャパシタンス38における電圧に変化が生じる場合、電荷注入効果による容量結合のため、そして、トランジスタ30が、実際には有限の出力抵抗を有すると考えられ、完全な電流源として作動しないかもしれないため、前記表示素子の駆動電流は、入力電流 I_{in} ときわめてわずかに異なるかもしれない。しかしながら、同じトランジスタを、前記標本化段階中の I_{in}

n の標本化と、前記出力段階中の前記電流の発生とに使用するため、前記表示素子電流は、トランジスタ 30 のしきい値電圧または移動度に依存しない。

【 0 0 2 6 】

図 3 は、図 1 の表示装置において使用される図 2 の画素回路の実際的な実施形態を示す。この図において、スイッチ 32、33 および 37 を、各々、トランジスタによって構成し、これらのスイッチトランジスタを、駆動トランジスタ 30 と共に、すべて、薄膜電界効果トランジスタ、TFT として形成する。入力ライン 35 と、同じ列におけるすべての画素回路の対応する入力ラインとを、列アドレス導体 14 と、これを経て行駆動回路 18 とに接続する。トランジスタ 32、33 および 37 のゲートと、同様に、同じ行における画素回路における対応するトランジスタのゲートとを、すべて、同じ行アドレス導体 12 に接続する。トランジスタ 32 および 37 は、n チャネル装置を具え、行駆動回路 16 によって行アドレス導体 12 に印可される電圧パルスの形態における選択（走査）信号によってターンオンする（閉じる）。トランジスタ 33 は、P チャネル装置を具える逆の導電型のものであり、トランジスタ 32 および 37 に対して相補的に動作し、トランジスタ 32 および 37 が導体 12 における選択信号に応じて閉じた場合にターンオンし（開き）、開いた場合にターンオフする。

【 0 0 2 7 】

給電ライン 31 は、行導体 12 と並列の電極として延在し、同じ行におけるすべての画素回路によって共有される。すべての行の給電ライン 31 を、これらの末端において一緒に接続することができる。前記給電ラインは、代わりに、列方向において延在してもよく、このとき各々のラインは、個々の列における表示素子によって共有されている。代わりに、給電ラインを、行および列方向の双方において延在するように設け、相互接続し、グリッド構造を形成してもよい。

【 0 0 2 8 】

前記アレイを、一度に 1 行、順番に駆動し、選択信号を各々の行導体 12 に順次に供給する。前記選択信号の持続時間は、行アドレス周期を決定し、上述した標本化段階の周期に対応する。選択された行におけるすべての表示素子を、これらの必要な駆動レベルに、前記表示素子からの必要な表示出力を決定する個々の

入力信号によって、行アドレス周期において同時に設定するために、一度に1行のアドレスが必要なため、前記選択信号と同期して、データ信号を構成する適切な入力電流駆動信号を、行導体12に列駆動回路18によって供給する。このようなある行のアドレスに続いて、表示素子の次の行を同様にアドレスする。1フィールド周期において表示画素のすべての行をアドレスした後、前記一連のアドレスを、順次のフィールド周期において繰り返し、所定の表示素子に関する駆動電流と、したがって、前記出力とは、前記個々のアドレス周期において設定され、1フィールド周期中、関係する前記表示素子の行が次にアドレスされるまで保持される。

【 0 0 2 9 】

前記TFT、アドレスラインの組、格納キャパシタンス（別個の構成要素として設ける場合）、表示素子電極およびこれらの相互接続部を具えるアレイのマトリックス構造を、基本的に、ガラスまたはプラスチック材料のような絶縁支持体の表面上への、導電性材料、絶縁性材料および半導体材料の種々の薄膜層の、CVD堆積およびフォトリソグラフィックパターニング技術による、堆積およびパターニングを含む、アクティブマトリックスLCDにおいて使用されるのと同様の標準的な薄膜処理技術を使用して形成する。このような例は、上述した欧州特許出願公開明細書第0717446号に記載されている。前記TFTは、アモルファスシリコンまたは多結晶シリコンTFTを具えてもよい。前記表示素子の有機電界発光材料層を、蒸着によって、または、スピンコーティングのような他の適切な既知の技術によって形成してもよい。

【 0 0 3 0 】

図3の画素回路は、前記製造プロセスを複雑にする恐れがある、nおよびpチャネルトランジスタの双方の使用を必要とする。さらに、この特定の回路は、4個のトランジスタと、1つの共通電極とを必要とし、これらの設備は、画素の実際の間隙を減少させるかもしれない。

【 0 0 3 1 】

図4は、反対の極性形式のトランジスタを使用する必要性を回避する、画素回路の代わりの改善された形式を示す。この回路において、トランジスタ33を除

去し、入力端子36を表示素子20に直接接続する。上述した回路と同様に、前記電流ミラーの動作において、2つの段階、標本化および出力が存在する。前記標本化段階中、関係する行導体12における選択信号によってスイッチトランジスタ32および37を閉じ、トランジスタ30をダイオード接続する。同時に、給電ライン31に、上述したように一定の基準電位に留まるのではなく、正電圧パルスを供給し、表示素子20が逆バイアスされるようにする。この状態において、(小さい逆の漏れ電流を無視して)電流は表示素子20を流れることができず、トランジスタ30のドレイン電流は、入力電流 I_{in} に等しい。このように、トランジスタ30の適切なゲートソース電圧は、キャパシタンス38において再び標本化される。前記標本化段階の終了時に、スイッチトランジスタ32および37は、上述したようにターンオフし、給電ライン31は、その通常レベル、代表的に0Vに戻る。その後の出力段階において、トランジスタ30は、上述したように、キャパシタ38に格納された電圧によって決定されるレベルにおいて前記表示素子に電流を流す電流源として動作する。

【0032】

図4の実施形態において、電源に別々に接続された給電ライン31を、画素の各々の行に関して設けてもよい。標本化段階中、アドレスされている行における表示素子は(給電ライン31をパルス化する結果として)ターンオフし、前記アレイにおいてすべての画素回路に共通の給電ラインが実際に1つのみ存在する場合、すなわち、1行の給電ライン31が画素回路のすべての行を相互接続する連続的なラインの一部である場合、すべての前記表示素子は、どの行がアドレスされているかに関係なく、各々の標本化サイクル中にターンオフする。これは、表示素子に関するデューティサイクル(オン対オフ時間の比)を減少させる。このように、ある行に係する給電ライン31を他の行に係する給電ラインから分離させつづけることが望ましい。

【0033】

行方向におけるラインの総数を減少する画素回路の他の代わりの形態を、この実施形態において用いられる代表的な駆動波形と共に、図5において図式的に示す。図示した画素回路は、前記アレイのN番目の行におけるものであり、この配

置において、トランジスタ30のソースと、キャパシタンス38のゲートから離れた側とを、別々の専用の給電ライン31にではなく、 $(N+1)$ 番目の行に係する次の隣接する行導体14に双方とも接続する。この画素回路の動作は、上述したものと基本的に同じである。 N 番目および $(N+1)$ 番目の行導体12（およびすべての他の行導体）に供給される必要な行駆動波形は、上述した実施形態における波形と異なる。これらの導体に接続された画素回路のトランジスタ32および37をこれらのオフ（開）状態において保持する低い保持レベル V_h と、これらのトランジスタをターンオンし（閉じ）、個々の行アドレス周期（標本化段階） T_r を規定する選択（ゲート）パルス V_s とを具えるのに加え、各々の行導体に供給される波形は、図4の実施形態における給電ライン31のパルス化と同様に前記表示素子を逆バイアスするように配置された中間レベルパルスをさらに含む。図5において、 $V_s(N)$ は、 N 番目の行導体に供給され、その行における画素回路のトランジスタ32および37を動作させる前記選択パルスを示し、 $V_s(N+1)$ は、前記行が順次アドレスされるため、信号 $V_s(N)$ 後に生じる、次の $(N+1)$ 番目の行導体に供給させる前記選択信号を示す。各々の行導体に関する波形は、前記選択信号に先行し、先行する行導体12に供給される選択信号と時間において一致する正パルスを含み、その結果、先行する行、すなわち N 番目の行における画素回路が、これらに対する $V_s(N)$ の供給に応じてアドレスされる場合、 $(N+1)$ 番目行導体において現れる正パルス V_r が、行 N における画素回路における表示素子を、これらの標本化段階中、逆バイアスするようにする。 V_r のレベルを、前記所望の逆バイアスを与えるように、同時に、トランジスタ32および37と、次の $(N+1)$ 番目の行における画素回路とがターンオンしないことを保証するために、選択信号 V_s より低くなるように選択する。

【0034】

上述した実施形態のすべてに関して、前記画素回路が n チャネルトランジスタを基礎としているとしても、同じ動作モデルが、これらのトランジスタの極性を逆にし、前記表示素子極性を逆にし、給電ライン31に供給されるパルスの極性を逆にしても可能であることは理解されるであろう。 p 形トランジスタ33を使

用する場合、これらはn形になる。

【 0 0 3 5 】

pチャネルトランジスタを使用する表示素子が望ましいため、前記ダイオード表示素子を一方または他方に向けるのが好適である技術的な理由が存在する。例えば、有機電界発光材料を使用する表示素子のカソードに必要な材料は、通常、低い仕事関数を有し、代表的に、マグネシウムを基礎とする合金またはカルシウムを具える。これらのような材料は、フォトリソグラフ式にパターン化するのが困難である傾向があり、したがって、前記アレイにおけるすべての表示素子に共通するこのような材料の連続層が望ましいかもしれない。

【 0 0 3 6 】

薄膜技術を使用して絶縁基板上に前記TFTおよびキャパシタを形成する代わりに、前記アクティブマトリックス回路網を、IC技術を使用して半導体、例えば、シリコン基板上に形成することができることが予測される。このとき、この基板上に設けられた前記LED表示素子の上側電極を、透明導電材料、例えば、ITOによって形成し、前記素子の光出力は、これらの上部電極を通じて見られる。

【 0 0 3 7 】

スイッチ32、33および37が、トランジスタを具える必要はなく、他の形式のスイッチ、例えば、マイクロリレーまたはマイクロスイッチを具えてもよいことも予想される。

【 0 0 3 8 】

上述した実施形態を、特に有機電界発光表示素子に関して説明したが、光を通過させ、光出力を発生させる電界発光材料を具える他の種類の電界発光表示素子を代わりに使用してもよいことは理解されるであろう。

【 0 0 3 9 】

前記表示素子を、単色または多色表示装置としてもよい。カラー表示装置を、異なるカラー発光表示素子を前記アレイにおいて使用することによって与えてもよいことは明らかであろう。前記異なるカラー発光表示素子を、代表的に、例えば、赤色、緑色および青色発光表示素子の規則的に繰り返すパターンにおいて設

けてもよい。

【 0 0 4 0 】

要約において、アクティブマトリックス電界発光表示装置は、例えば、有機電界発光材料を具える電流駆動電界発光表示素子のアレイを有し、これらの表示素子の動作を、各々、関係するスイッチ手段によって制御し、前記スイッチ手段に、所望の光出力を決定する駆動信号を個々のアドレス周期において供給し、前記スイッチ手段を、前記アドレス周期に続いて前記駆動信号にしたがって前記表示素子を駆動するように配置する。各々のスイッチ手段は、電流ミラー回路を具え、この電流ミラー回路において、同じトランジスタを使用して、前記表示素子に必要な駆動電流を検知および発生し、前記トランジスタのゲートを、前記駆動信号によって決定された電圧を格納する格納キャパシタンスに接続する。これは、前記アレイを通じてのトランジスタ特性における変動を補償させ、得るべき前記表示素子からの光出力の均一性を改善させる。

【 0 0 4 1 】

本開示を読むことによって、他の変形が当業者には明らかになるであろう。これらのような変形は、マトリックス電界発光ディスプレイおよびその構成部品分野において既知であり、すでにここに記載した特徴の代わりまたはこれらに加えて使用できる他の特徴を含むことができる。

【 図面の簡単な説明 】

【 図 1 】 図 1 は、本発明による表示装置の一実施形態の一部の簡単な図式的な図である。

【 図 2 】 図 2 は、図 1 の表示装置における代表的な表示素子と、その関係する制御回路網とを備える代表的な画素回路の等価回路を簡単な形態において示す。

【 図 3 】 図 3 は、図 2 の画素回路の実際の現実化を説明する。

【 図 4 】 図 4 は、画素回路の変形例を示す。

【 図 5 】 図 5 は、画素回路の他の変形例を、これらにおいて使用する関係する駆動波形と共に示す。

【 図 1 】

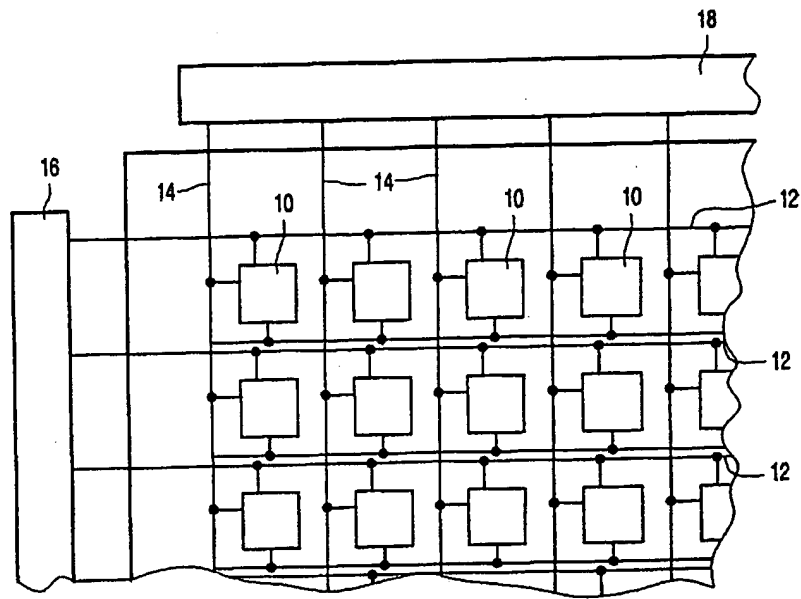


FIG. 1

【 図 2 】

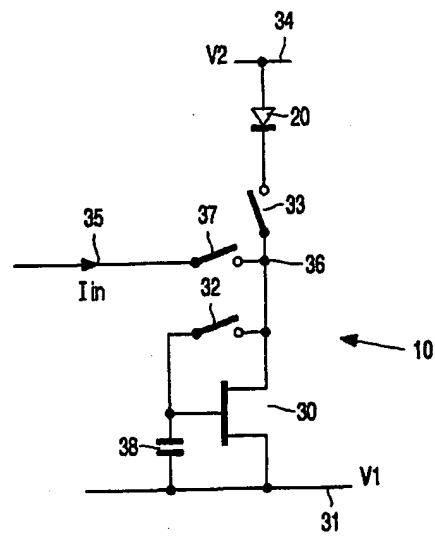
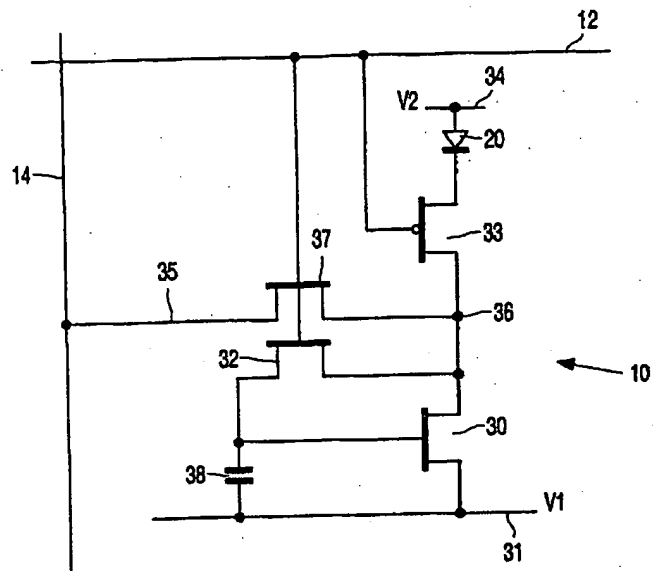
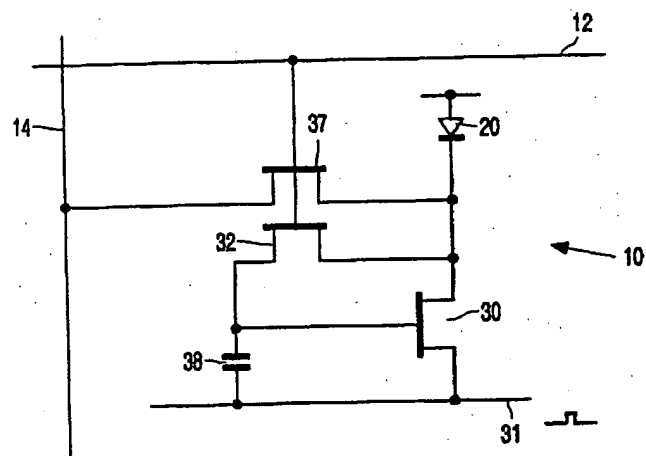


FIG. 2

【 図 3 】



【 図 4 】



【 図 5 】

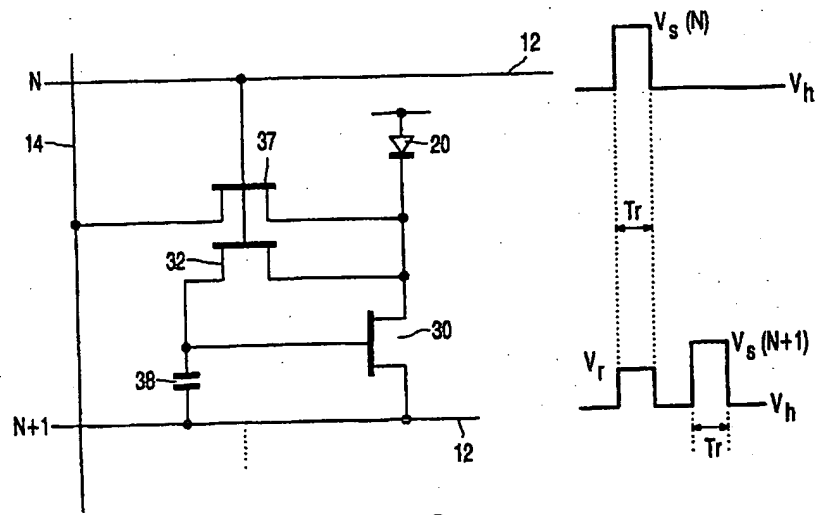


FIG. 5

【国際調査報告】

1

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 99/01041

A. CLASSIFICATION OF SUBJECT MATTER

IPC7: G09G 3/30, G09F 9/33

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC7: G09G, G09F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

SE,DK,FI,NO classes as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0717446 A2 (EASTMAN KODAK COMPANY), 19 June 1996 (19.06.96), Cited in the application -- -----	1-9

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"F" earlier document not published on or after the international filing date

"I" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (As specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

12 January 2000

19-01-2000

Name and mailing address of the ISA:

Swedish Patent Office
Box 5055, S-102 42 STOCKHOLM
Facsimile No. +46 8 666 02 86

Authorized officer

Jan Silfverling/MN
Telephone No. +46 8 782 23 00

Form PCT/ISA/210 (second sheet) (July 1992)

Information on patent family members

02/12/99

International application No.

PCT/IB 99/01041

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0717446 A2	19/06/96	JP 8234683 A	13/09/96
		US 5684365 A	04/11/97

フロントページの続き

(71)出願人 Groenewoudseweg 1,
5621 BA Eindhoven, Th
e Netherlands

Fターム(参考) 5C080 AA07 BB05 DD30 JJ02 JJ03
JJ04
5C094 AA03 BA03 BA27 CA19 EA04
EA07